

SEMICONDUCTOR LIGHT EMITTING DEVICE AND PROTECTOR

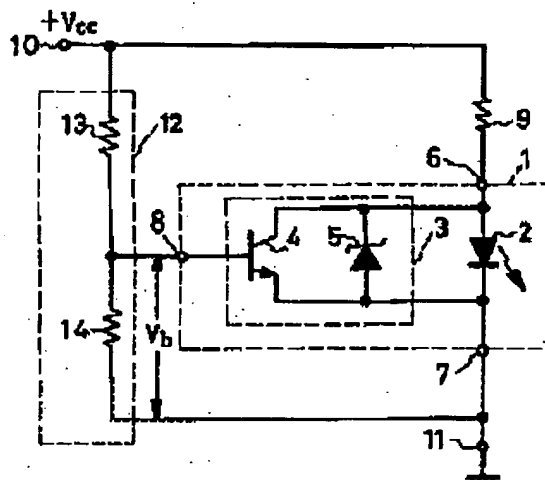
①

Publication number: JP2002009343
 Publication date: 2002-01-11
 Inventor: KOBAYASHI NOBUO
 Applicant: SANKEN ELECTRIC CO LTD
 Classification:
 - international: H01L33/00; H01L33/00; (IPC1-7): H01L33/00
 - european:
 Application number: JP20000191368 20000626
 Priority number(s): JP20000191368 20000626

Report a data error here

Abstract of JP2002009343

PROBLEM TO BE SOLVED: To protect a light emitting diode against thermal breakdown due to overload. **SOLUTION:** An overheat preventive transistor 4 and an overvoltage preventive constant voltage diode 5 are connected in parallel to form a composite protective element 3 which is then connected in parallel with a light emitting diode 2. The transistor 3 is thermally coupled with the light emitting diode 2. When an abnormal temperature is detected utilizing the negative temperature coefficient of the transistor 3, the transistor 3 is conducted to form a bypath of the light emitting diode 2.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-9343

(P2002-9343A)

(43)公開日 平成14年1月11日(2002.1.11)

(51)Int. Cl.⁷

識別記号

F I

テ-7コ-ト(参考)

H 0 1 L 33/00

H 0 1 L 33/00

J 5F041

審査請求 有 請求項の数5 O L

(全6頁)

(21)出願番号 特願2000-191368(P2000-191368)

(22)出願日 平成12年6月26日(2000.6.26)

(71)出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72)発明者 小林 信夫

埼玉県新座市北野三丁目6番3号 サンケン

電気株式会社内

(74)代理人 100072154

弁理士 高野 則次

Fターム(参考) 5F041 AA23 BB07 BB22 BB25 BB26

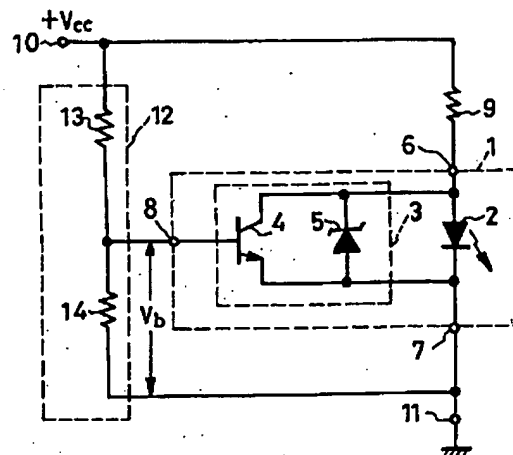
CA40

(54)【発明の名称】 半導体発光装置及び保護装置

(57)【要約】

【課題】 発光ダイオードが過負荷になって熱破壊するおそれがある。

【解決手段】 過熱防止用トランジスタ4と過電圧防止用定電圧ダイオード5とが互いに並列に接続された複合保護素子を形成する。この複合保護素子3を発光ダイオード2に並列に接続する。トランジスタ3を発光ダイオード2に熱結合させる。トランジスタ3の負の温度係数を利用して異常温度になった時にトランジスタ3を導通させて発光ダイオード2のバイパスを形成する。



【特許請求の範囲】

【請求項1】 半導体発光素子と、前記半導体発光素子に並列に接続され且つ前記半導体発光素子の温度が所定温度よりも高くなった時にオン状態になるか又は抵抗値が低下する特性を有している保護素子とから成る半導体発光装置。

【請求項2】 更に、前記半導体発光素子に並列に接続された過電圧防止用定電圧ダイオードを有していることを特徴とする請求項1記載の半導体発光装置。

【請求項3】 前記半導体発光素子は前記保護素子の上10に配置されていることを特徴とする請求項1又は2記載の半導体発光装置。

【請求項4】 前記保護素子は導通開始に要求されるベース・エミッタ間電圧が負の温度係数を有するトランジスタであり、前記トランジスタと前記定電圧ダイオードは同一の半導体基体に形成されており、前記半導体発光素子は前記半導体基体の上に配置されていることを特徴とする請求項2記載の半導体発光装置。

【請求項5】 導通開始に要求されるベース・エミッタ間電圧が負の温度係数を有するトランジスタと、前記トランジスタのコレクタとエミッタとの間に接続された定電圧ダイオードとから成る熱破壊及び過電圧破壊防止用保護装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、保護素子を内蔵した半導体発光装置及びこれに使用することができる熱破壊及び過電圧破壊防止用保護装置に関する。

【0002】

【従来の技術】近年、窒化ガリウム (GaN) 系半導体を用いた青色半導体発光素子即ち発光ダイオードが注目されている。この発光ダイオードは数十ボルト程度のサージ電圧で破壊するため、例えば、特開平11-12036号公報に開示されているように発光ダイオードに並列に過電圧防止用のツェナダイオード (定電圧ダイオード) が接続される。これにより、静電気等による過電圧が発光ダイオードに印加された時にツェナダイオードが導通して発光ダイオードが過電圧から保護される。

【0003】

【発明が解決しようとする課題】ところで、ツェナダイオード等の保護素子と発光ダイオードとの組立体を構成する時には、保護素子の上にマイクロバンプ電極等によって発光ダイオードを結合させる。このため、発光ダイオードの放熱経路に保護素子が介在し、保護素子が発光ダイオードの放熱性を低下させる。もし、保護素子を設けずに発光ダイオードに流す電流と同一の値の電流を保護素子を設けた発光ダイオードに流すと、発光ダイオードの温度がその許容範囲よりも高くなり、発光ダイオードの劣化又は破損が生じるおそれがある。今、発光ダイオードと保護素子を一体的に組み立てる場合について

述べたが、保護素子が発光ダイオードの放熱を妨害しない場合であっても、発光ダイオード等の半導体発光素子の熱破壊は問題になる。また、発光ダイオード以外の回路素子においても過電圧破壊と熱破壊との両方を防止しなければならない時がある。

【0004】そこで、本発明の第1の目的は、半導体発光素子の熱破壊を防ぐことができる半導体発光装置を提供することにある。本発明の第2の目的は、半導体発光素子の熱破壊と過電圧破壊との両方を防ぐことができる半導体発光装置を提供することにある。本発明の第3の目的は、熱破壊と過電圧破壊との両方を防ぐことができる保護装置を提供することにある。

【0005】

【課題を解決するための手段】上記課題を解決し、上記目的を達成するための本発明は、半導体発光素子と、前記半導体発光素子に並列に接続され且つ前記半導体発光素子の温度が所定温度よりも高くなった時にオン状態になるか又は抵抗値が低下する特性を有している保護素子とから成る半導体発光装置に係わるものである。

【0006】なお、請求項2に示すように発光素子に並列に過電圧防止用定電圧ダイオードを接続することが望ましい。また、請求項3に示すように発光素子を保護素子の上に配置することが望ましい。また、請求項4に示すように保護素子をトランジスタとし、定電圧ダイオードと同一の半導体基体に設けることが望ましい。請求項5に示すようにトランジスタと定電圧ダイオードとを並列接続して回路素子のための熱破壊及び過電圧破壊防止用保護装置を形成することができる。

【0007】

【発明の効果】請求項1～4の発明によれば、半導体発光素子の温度が所定温度よりも高くなると、保護素子がオン又は低抵抗値になり、半導体発光素子のバイパスとして働き、半導体発光素子の電流が遮断又は抑制され、半導体発光素子の温度上昇が抑えられ、この劣化又は破壊が防止される。また、請求項2の発明によれば、熱破壊防止と過電圧防止との両方を達成することができる。請求項3の発明によれば、保護素子を有するにも拘らず比較的小さい発光装置を提供することができる。請求項4の発明によれば、熱破壊及び過電圧破壊の両方を防ぐことができる発光装置の小型化且つ低コスト化を図ることができる。また、請求項5の発明によれば、発光素子のみでなくこれ以外の回路素子の熱破壊及び過電圧破壊を防ぐことができる。

【0008】

【実施形態】次に、図1～図8を参照して本発明の実施形態を説明する。

【0009】

【第1の実施形態】図1～図5に示す第1の実施形態の半導体発光装置1は、発光素子としての窒化ガリウム (GaN) 系発光ダイオード2と、トランジスタ4と定

電圧ダイオード5とから成る複合保護素子3と、第1及び第2の主端子6、7と、制御端子8とを有している。

【0010】発光ダイオード2のアノードは第1の主端子6に接続され、カソードは第2の主端子7に接続されている。複合保護素子3に含まれているシリコンから成るNPN型トランジスタ4は発光ダイオード2に対して並列に接続されている。即ちトランジスタ4のコレクタは第1の主端子6に接続され、このエミッタは第2の主端子7に接続され、ベースは制御端子8に接続されている。また、トランジスタ4は発光ダイオード2に熱結合されている。このトランジスタ4が導通を開始するためのベース・エミッタ間電圧 V_{BE} 即ち、ベース電流が流れ始めるために要求されるベース・エミッタ間電圧 V_{BE} は25℃(室温)で約0.7Vである。また、オン開始時のベース・エミッタ間電圧 V_{BE} は約-2mV/℃の負の温度係数を有している。本実施形態では負の温度係数を有するトランジスタ4が感熱素子として利用され、発光ダイオード2の過熱を防いでいる。

【0011】電子回路素子としての発光ダイオード2を駆動する時には第1の主端子6を電流制限用抵抗9を介して直流電源端子10に接続し、第2の主端子7をグランド端子11に接続する。また、トランジスタ4を発光ダイオード2の熱破壊防止用保護素子として使用する時には、トランジスタ4のベース即ち制御端子8にバイアス回路12を接続する。バイアス回路12は、直流電源端子10とグランド端子11との間に接続された第1及び第2の抵抗13、14から成り、第1及び第2の抵抗13、14の相互接続点が制御端子8に接続されている。本実施例においてはバイアス回路12によってトランジスタ4のベース・エミッタ間に与える固定バイアス電圧 V_b は0.55Vに設定されているものとする。このバイアス電圧 $V_b=0.55V$ を得るための抵抗13の値 R_1 の決定は次式に従って行う。

$$V_b = V_{cc} \cdot R_2 / (R_1 + R_2)$$

$$R_1 = R_2 \{ (V_{cc}/V_b) - 1 \}$$

なお、抵抗14として既値の抵抗 R_2 を使用する。このバイアス電圧 V_b は、発光ダイオード2の通常の温度範囲ではトランジスタ4がオンにならないが、発光ダイオード2の温度が通常温度範囲よりも高い異常温度(本実施例では100℃以上)になるとオンになるように決定される。この実施形態では、発光ダイオード2の保護開始温度が100℃である。もし、発光ダイオード2及びトランジスタ4の温度が100℃になると、トランジスタ4が導通を開始するために要求されるベース・エミッタ間電圧 V_{BE} が25℃の時の値(0.7V)よりも0.15V下がり、0.55Vとなる。100℃の時には、バイアス回路12からは0.55Vのバイアス電圧 V_b がトランジスタ4に印加されているので、トランジスタ4がオンになり、発光ダイオード2のバイパス即ち短絡回路が形成され、発光ダイオード2の電流が遮断又は抑制

され、発光ダイオード2の温度上昇が制限される。即ち、トランジスタ4がオンになると、抵抗9を通る電流がトランジスタ4に分流し、発光ダイオード2の電流が低下する。トランジスタ4はシリコンから成り、GaN系発光ダイオード2よりは熱破壊しにくい。また、トランジスタ4は発光ダイオード2の許容最大電流と同一の値の電流が流れても破壊しないように形成されている。なお、好ましくは、トランジスタ4の許容最大コレクタ電流の値を発光ダイオード2の許容最大電流の2倍以上に決定する。

【0012】定電圧ダイオード5は、発光ダイオード2の定格電圧では導通しないが、定格電圧と破壊する可能性のある最低破壊電圧との間の所定電圧で導通し、発光ダイオード2に一定電圧以上の電圧が印加されることを防ぐように形成されている。これにより、静電気等の高いサージ電圧が第1及び第2の主端子6、7間に印加された時に定電圧ダイオード5が導通し、発光ダイオード2の両端子間電圧が制限される。

【0013】図2～図5は発光装置1の各部の構成を詳しく示すものである。図2に概略的に示すように発光ダイオード2は複合保護素子3の上に配置されている。発光ダイオード2は図2及び図3から明らかなように、GaN系半導体発光ダイオードの本体部20とアノード側のマイクロバンプ電極21とカソード側マイクロバンプ電極22とから成るフリップチップであって、バンプ電極21、22によって複合保護素子3の上面に機械的及び電気的に結合されている。なお、発光ダイオード2からは主として上方に光が放射される。

【0014】複合保護素子3は、トランジスタ4と定電圧ダイオード5とを図3～図5に示すように同一のシリコン半導体基体23に形成したものである。図2～図5に示すように複合保護素子3の一方の主面には第1の主電極24と第2主電極25の表面側部分25aと制御電極26が設けられ、他方の主面に第2の主電極25の裏面部分25bが設けられている。図2に概略的に示すように第1の主電極24はワイヤから成る第1の導体27によって柱状リードから成る第1の主端子6に接続されている。第2の主電極25の裏面側部分25bは第2の主端子7に一体的に形成された光反射凹部を有するヘッダ部7aにAgペースト等の導電性接合材28によって電気的及び機械的に結合されている。制御電極26はワイヤから成る第2の導体29によって柱状リードから成る制御端子8に接続されている。発光ダイオード2、複合保護素子3、端子6、7、8の一部、導体27、29は光透過性樹脂30によって被覆されている。

【0015】発光ダイオード2は複合保護素子3の上にバンプ電極21、22を介して結合されているので、発光ダイオード2の熱は複合保護素子3の中のトランジスタ4に伝達される。従って、トランジスタ4は発光ダイオード2の熱結合された状態にあり、発光ダイオード2

の温度変化に追従してトランジスタ4の温度も変化する。トランジスタ4を含む複合保護素子3は第2の主端子7のヘッダ部7aに直接的に結合されているので比較放熱性が良いが、発光ダイオード2は複合保護素子3を介してヘッダ部7aに結合されているので、ヘッダ部7aに直接に結合する場合に比べて放熱性が悪い。しかし、この放熱性の悪さに起因する弊害がトランジスタ4によって電気回路的に除去されている。

【0016】複合保護素子3を構成するシリコン半導体基体23には、図3～図5に示すようにP型基板領域31、N⁺型埋め込み領域32、N型シリコンのエピタキシャル成長領域から成り且つ領域32よりも低不純物濃度のN⁺型領域33、P型ベース領域34、N型エミッタ領域35、領域33よりも不純物濃度が高いN⁺型コレクタ接続領域36、領域34よりも不純物濃度が高いP⁺型表裏接続領域37が設けられている。

【0017】半導体基体23のP型基板領域31は基体23の下面の全体に露出するように配置されている。N⁺型埋め込み領域32は基板領域31とN⁺型領域33との間に配置されている。P型ベース領域34はN⁺型領域33の中に島状に形成されている。N型エミッタ領域35はベース領域34の中に島状に形成されている。N⁺型のコレクタ接続領域36は埋め込み領域32に対向するようにN⁺型領域33の中に島状に形成されている。低抵抗の表裏接続領域37は第2の主電極25の表面側部分25aと裏面側部分25bとを電気的に接続するように配置されている。

【0018】半導体基体23の表面側の第1の主電極24は、N⁺型のコレクタ接続領域36にオーミック接触している。第2の主電極25の表面側部分25aはP⁺型表裏接続領域37、エミッタ領域35の上に設けられている。制御電極26はP型ベース領域34の上に配置されている。図3では省略されているが、半導体基体23の表面には絶縁膜38から形成され、ここに形成された開口を介して第1の主電極25の表面側部分25a及び制御電極26が半導体基体23の所定領域に接続されている。また、第1の主電極24は図5に示すように絶縁膜28の上に延在し、発光ダイオード2の接続に利用されている。図3で破線で示されている発光ダイオード20は、第1の主電極24と第2の主電極25の表面側部分25aに対向配置され、図5に示すようにアノード側のバンパ電極21が第1の主電極24に結合され、カソード側のバンパ電極22が第2の主電極25の表面側部分25aに結合されている。尚、電極部分を斜線で示している。

【0019】図4に示すように順次に重なるように配置されているN型エミッタ領域35とP型ベース領域34とN⁺型領域33とN⁺型埋め込み領域32とによってNPN型トランジスタ4が構成され、コレクタとして機能するN⁺型埋め込み領域32がN⁺型領域33及びN⁺型領域36を

介して第1の主電極24に接続されている。第1の主電極24の一部はトランジスタ4のコレクタ電極として機能し、第2の主電極25の表面部分25aの一部はトランジスタ4のエミッタ電極として機能し、制御電極26はトランジスタ4のベース電極として機能している。

【0020】N⁺型領域36の一部は、P⁺型表裏接続領域37の一部と重なっている。従って、N⁺型領域36が定電圧ダイオード5のカソード領域として機能し、P⁺型表裏接続領域37が定電圧ダイオード5のアノード領域として機能している。また、第1の主電極24の一部は定電圧ダイオード5のカソード電極として機能し、第2の主電極25の裏面側領域25bは定電圧ダイオード5のアノード電極として機能している。

【0021】上述から明らかなように本実施形態は次の効果を有する。

(1) 発光ダイオード2の温度が所定温度以上になると、トランジスタ4がオンになり、発光ダイオード2の電流が低減又は遮断され、発光ダイオード2の劣化又は熱破壊が防止される。

(2) 定電圧ダイオード5を発光ダイオード2に並列に接続したので、過電圧時に定電圧ダイオード5が導通して発光ダイオード2の電圧がクランプされ、過電圧による劣化又は破壊が防止される。

(3) 熱破壊防止用トランジスタ4と過電圧防止用定電圧ダイオード5とを同一の半導体基体3に設けて複合保護素子としたので、この小型化及び低コスト化を達成することができる。

(4) トランジスタ4と定電圧ダイオード5とから成る複合保護素子の上に発光ダイオード2を配置したので、これ等の組立体を小型化することができる。

【0022】

【第2の実施形態】次に、図6及び図7を参照して第2の実施形態の発光装置1aを説明する。但し、図6及び図7、更に後述する図8において図1～図5と実質的に同一の部分には同一の符号を付し、その説明を省略する。

【0023】図6及び図7に示す発光装置1aは、回路基板に対して表面実装方式で取り付けるための絶縁性支持基板40を設け、この他は図2の発光装置1と実質的に同一に形成したものである。基板40には、図2の端子6、7、8に対応する導体層から成る端子6a、7a、8aが設けられている。図6～図7の発光ダイオード2及び複合保護素子3は図2～図5で同一符号で示すものと同様に形成されている。図6及び図7において第2の主電極の裏面側部分25bは導電性接合材28aによって基板40の第2の主端子7aに電気的及び機械的に結合されている。第1の主電極24は導体27によって第1の主端子6aに接続され、制御端子26は導体29によって制御端子8aに接続されている。基板40の上面には発光ダイオード2及び複合保護素子3を覆うよう

に光透過性樹脂30が設けられている。

【0024】第2の実施形態の発光装置は、第1の実施形態と同一の効果を有し、更に表面実装できるという効果も有する。

【0025】

【第3の実施形態】図8に示す第3の実施形態の発光装置1bは、図1と同様に互いに並列に接続された発光ダイオード2と定電圧ダイオード5を有する他に、感熱素子4aを有する。感熱素子4aは発光ダイオード2に熱結合されたサーミスタであって、例えば約100℃以上の異常温度で抵抗値が大幅に低下するように形成されている。従って、図8の実施形態によっても発光ダイオードの熱破壊及び過電圧破壊を防止することができる。

【0026】

【変形例】本発明は上述の実施形態に限定されるものでなく、例えば、次の変形が可能なものである。

(1) バイアス回路12を発光ダイオード2と別の電源に接続することができる。

(2) シリコン基板の上にGa_N系半導体層を成長させ、Ga_N系半導体層によって発光ダイオード2を形成し、シリコン基板にトランジスタ4及び定電圧ダイオード5を設けることができる。

(3) 複合保護素子3を発光ダイオード2以外の電子

回路素子に並列に接続し、電子回路素子の熱破壊及び過電圧破壊を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の発光装置をバイアス回路及び駆動回路を伴って示す回路図である。

【図2】図1の発光装置を概略的に示す一部切断正面図である。

【図3】図2の複合保護素子を、絶縁膜を省いて示す平面図である。

【図4】図3のA-A線を示す断面図である。

【図5】図3のB-B線を示す断面図である。

【図6】第2の実施形態の発光装置を示す正面図である。

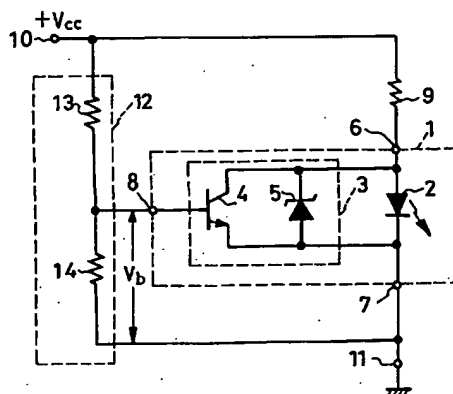
【図7】図6の発光装置を被覆樹脂を省いて示す平面図である。

【図8】第3の実施形態の発光装置を示す回路図である。

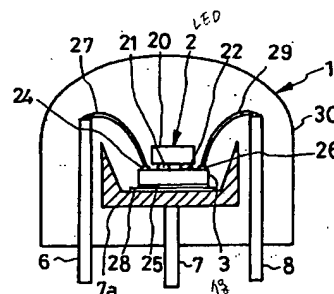
【符号の説明】

- 1 発光装置
- 2 発光ダイオード
- 3 複合保護素子
- 4 過熱防止用トランジスタ
- 5 過電圧防止用定電圧ダイオード

【図1】

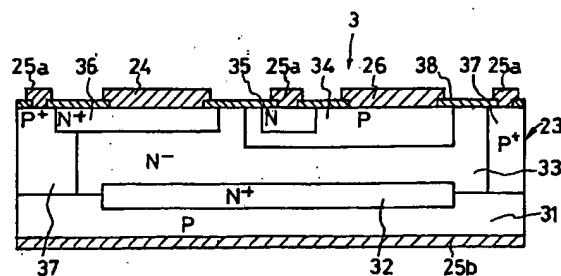
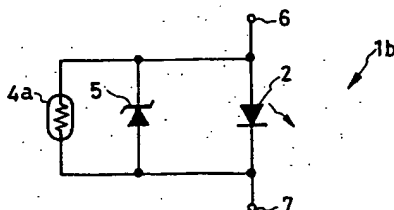


【図2】

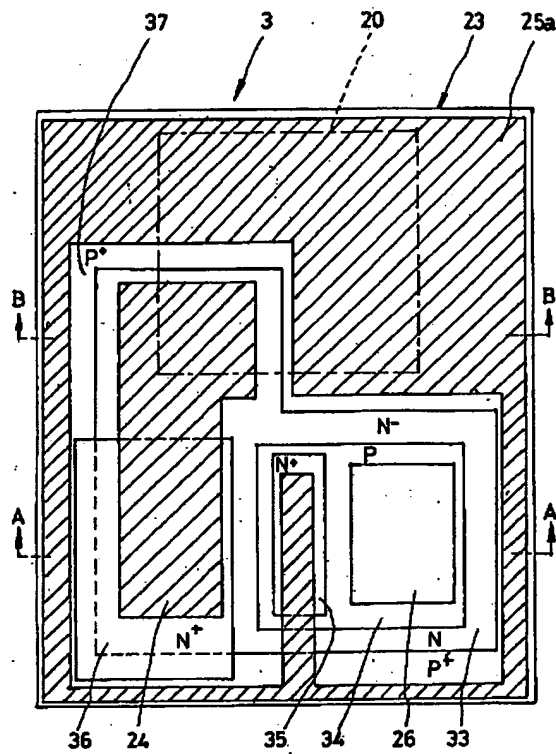


【図4】

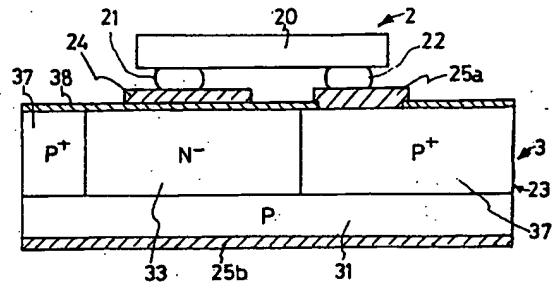
【図8】



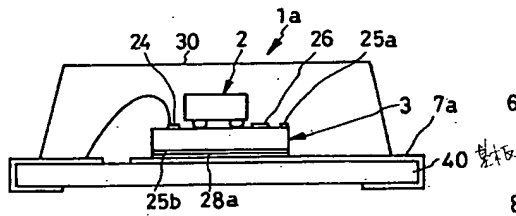
【図3】



【図5】



【図6】



【図7】

